

明細書

炭化珪素半導体素子およびその製造方法

技術分野

[0001] 本発明は、大電流を制御するのに適した炭化珪素バイポーラ半導体素子に関する。

背景技術

[0002] 炭化珪素(SiC)などのワイドギャップ半導体材料は、シリコン(Si)に比べて絶縁破壊電界強度が約10倍高い等の優れた特性を有しており、高い耐逆電圧特性を有する高耐圧バイポーラパワー半導体素子に好適な材料として注目されている。

pinダイオード、バイポーラトランジスタ、GTO、GCTなどのバイポーラ半導体素子は、ショットキーダイオードやMOSFETなどのユニポーラ半導体素子に比べてビルトイン電圧が高いが、少数キャリアの注入によるドリフト層の伝導度変調によりオン抵抗が大幅に小さくなる、という特徴がある。したがって、電力用途などの高電圧大電流領域では、損失を小さくするためバイポーラ半導体素子が用いられている。SiCでこれらのバイポーラ半導体素子を構成すると、Siの素子に比べて格段に優れた性能を実現できる。例えば、SiCで構成した10kVの高耐圧pinダイオードの順方向電圧はSiのpinダイオードの約1/3である。SiCのpinダイオードのオフ時の動作速度を表す逆回復時間はSiのpinダイオードの約1/20以下と高速である。また、SiCのpinダイオードの電力損失はSiのpinダイオードの約1/5以下であり、省エネルギー化に大きく貢献できる。SiCのpinダイオード以外にもSiCのnpnトランジスタやSiCのSIAFET、SiCのSIJFETなどが開発され同様の電力損失低減効果が報告されている(例えば非特許文献1)。この他、ドリフト層として反対極性のp型半導体層を用いたSiCのGTOなども開発されている(例えば非特許文献2)。

[0003] SiCの結晶の集合面の{0001}面には、図7のSiCの結晶の斜視図に示すように、個別面の(0001)シリコン面1と(000-1)カーボン面2が存在する。かつての「-」は負号であり、これを極性という。(0001)シリコン面1は結晶がシリコン(Si)で終端された面である。(000-1)カーボン面2は結晶がカーボン(C)で終端された面である。n

BEST AVAILABLE COPY

型のドーパントである窒素(N)は、主にカーボン(C)を置換する形でSiCの結晶中に取り込まれる。シリコンで終端されている(0001)シリコン面1は、カーボンで終端されている(000-1)カーボン面2と比較して、表面に現れているカーボンの量が少ない。そのため、カーボンの窒素(N)への置換が抑制され高純度のエピタキシャル層が得られる。このことから、SiCのエピタキシャル成長に関する研究報告はほとんどが(0001)シリコン面1に関するものである。

[0004] SiCのエピタキシャル成長では、成長速度やエピタキシャル層の純度を制御しやすい化学気相堆積法(CVD法)が用いられる。しかし、CVD法では、キャリアガスに水素を使っているため、成長中に成長表面からカーボン(C)の離脱が起り、成長速度が抑えられてしまう。そのため、通常の成長速度は5~10 $\mu\text{m}/\text{h}$ となる。

SiCで上記の従来のバイポーラ半導体素子を作製するときは、例えば(0001)シリコン面1からのオフ角 θ が8度である面1aをもつように形成したn型の4H-SiCを基板に用いる。4H型の「4」は原子積層が4層周期となる結晶構造を表し、「H」は六方晶を表す。この基板の上に、電圧印加時における電界を緩和するためのSiCのドリフト層を、CVD法を用いて5~10 $\mu\text{m}/\text{h}$ の成長速度でエピタキシャル成長させて形成する。

非特許文献1:松波弘之編著、「半導体SiC技術と応用」、218~221頁、日刊工業新聞社刊

非特許文献2:A. K. Agarwal et. al, Materials Science Forum Volume 389~393, 2000年, 1349~1352頁

発明の開示

発明が解決しようとする課題

[0005] このようにして得られた従来のバイポーラ半導体素子には、マテリアルズ サイエンス フォーラム ボリューム389~393(2002)第1259~1264頁[Materials Science Forum Vols. 389~393(2000) pp. 1259~1264]で報告されているように、新品のバイポーラ半導体素子に通電を開始してから通電時間(使用時間)が増えるに従い順方向電圧が増大する経時変化の現象がある。この現象を「順方向電圧劣化」と呼ぶ。新品のバイポーラ半導体素子に順方向に、電流密度100A/ cm^2 で1時間

通電したとき、通電開始直後と1時間通電後の電流密度100A/cm²での「順方向電圧差ΔVf」で順方向電圧劣化の度合いを表す。

順方向電圧劣化現象は、基板からドリフト層に伝播するベーサルプレーン転位と呼ばれる線状の欠陥が原因で起こる。このベーサルプレーン転位を起点として積層欠陥と呼ばれる面状の欠陥がドリフト層中に発生し、ドリフト層が高抵抗層になり、その結果電流が流れにくくなる。

[0006] 従来のpinダイオードの場合、使用開始の初期には順方向電流密度100A/cm²での順方向電圧が3.5Vだったのが、電流密度100A/cm²で1時間通電した後では20Vに増大し、順方向電圧差ΔVfは16.5V程度になる。その結果素子内部での電力損失が著しく増大し、素子内部での発熱により素子が破壊されてしまう場合が生じる。SiCバイポーラ素子はSi素子に比べて大変優れた初期特性を有しているにもかかわらず、この順方向電圧劣化のため信頼性が著しく低い。そのため、長時間運転可能で電力損失が少なくかつ信頼性の高いインバーター等の電力変換装置を実現することが困難であった。

本発明は、順方向電圧劣化を表す順方向電圧差ΔVfが1.0V以下の信頼性の高い半導体装置を提供することを目的としている。

課題を解決するための手段

[0007] 本発明のバイポーラ半導体素子は、炭素(カーボン)と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の(000-1)カーボン面に対して所定のオフ角を有する面を形成した基板を有する。またこのバイポーラ半導体素子は、前記基板の前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1又は第2の導電型の炭化珪素の半導体により、所定の形成速度で形成した少なくとも1つのドリフト層を有する。

この発明によれば、第1及び第2の導電型の炭化珪素の半導体層を上記のように形成することにより、ベーサルプレーン転位の少ない半導体層が得られる。その結果順方向電圧劣化の少ない長寿命のpn接合ダイオードが得られる。

[0008] 本発明の他の観点のバイポーラ半導体素子は、炭素(カーボン)と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の(000-1)カーボン面

ボン面に対して所定のオフ角を有する面を形成した基板を有する。またこのバイポーラ半導体素子は、前記基板の前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1の導電型の炭化珪素のエピタキシャル成長法により、所定の成膜速度で形成したドリフト層、及び前記ドリフト層の上に形成した、第1又は第2の導電型の炭化珪素の半導体層の少なくとも1つの層を有する。

この発明によれば、第1及び第2の導電型の炭化珪素の半導体層を上記のように形成することにより、ベーサルプレーン転位の少ない半導体層が得られる。その結果順方向電圧劣化の少ない長寿命のバイポーラトランジスタが得られる。

[0009] 本発明の他の観点のバイポーラ半導体素子は、炭素(カーボン)と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の(000-1)カーボン面に対して所定のオフ角を有する面を形成した、カソードとなる基板を有する。またこのバイポーラ半導体素子は、前記基板の前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1の導電型の炭化珪素のエピタキシャル成長法により所定の成膜速度で形成したドリフト層、及び前記ドリフト層の上に形成した、アノードとなる第2の導電型の炭化珪素の半導体層を有する。

この発明によれば、第1及び第2の導電型の炭化珪素の半導体層を上記のように形成することにより、ベーサルプレーン転位の少ない半導体層が得られる。その結果順方向電圧劣化の少ない長寿命のIGBTが得られる。

[0010] 本発明の他の観点のバイポーラ半導体素子は、炭素(カーボン)と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の(000-1)カーボン面に対して所定のオフ角を有する面を形成した、コレクタとなる基板を有する。またこのバイポーラ半導体素子は、前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1の導電型の炭化珪素のエピタキシャル成長法により所定の成膜速度で形成したドリフト層、前記ドリフト層の上に形成した第2の導電型のベース層、及び前記ベース層の一部分に形成した第1の導電型のエミッタ層を有する。

この発明によれば、第1及び第2の導電型の炭化珪素の半導体層を上記のように形成することにより、ベーサルプレーン転位の少ない半導体層が得られる。その結果順方向電圧劣化の少ない長寿命のnpnトランジスタが得られる。

[0011] 本発明の他の観点のバイポーラ半導体素子は、炭素(カーボン)と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の(000-1)カーボン面に対して所定のオフ角を有する面を形成した、コレクタとなる基板を有する。またこのバイポーラ半導体素子は、前記所定のオフ角を有する面を結晶の成長面として、前記成長面に炭化珪素のエピタキシャル成長法により、所定の成膜速度で形成した第2の導電型のドリフト層、前記ドリフト層の上に形成した第1の導電型の成長層を有する。またこのバイポーラ半導体素子は、前記第1の導電型の成長層の上に形成した第2の導電型のエミッタ層、前記第2の導電型のエミッタ層に形成した貫通孔を経て、前記第1の導電型の成長層にイオン注入をして形成した、コンタクト領域、及び前記第1の導電型の成長層と前記第2の導電型のエミッタ層に絶縁膜を介して形成したゲート電極を有する。

この発明によれば、第1及び第2の導電型の炭化珪素の半導体層を上記のように形成することにより、ベーサルプレーン転位の少ない半導体層が得られる。その結果順方向電圧劣化の少ない長寿命のFETが得られる。

[0012] 本発明のバイポーラ半導体素子の製造方法は、炭素(カーボン)と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶を、前記結晶の(000-1)カーボン面に対して所定の角度を有する面で切断して基板を形成する工程、前記基板の前記所定の角度を有する面を結晶の成長面として、前記成長面に、第1の導電型の炭化珪素のエピタキシャル成長法により所定の成膜速度でドリフト層を形成する工程、及び前記ドリフト層の上に、第1又は第2の導電型の炭化珪素の半導体層の少なくとも1つの層を形成する工程を有する。

[0013] 前記オフ角は、2度以上10度以下であり、前記ドリフト層となる炭化珪素のエピタキシャル成長による成膜速度は、膜厚の時間h当たりの増加速度が $10 \mu \text{m}/\text{h}$ 以上である。

本発明によれば、成長表面の過飽和度を下げ、ベーサルプレーン転位が基板からエピタキシャル膜へ伝播するのを抑制することができ、結果として順方向電圧劣化を防ぐことができる。

発明の効果

[0014] 本発明によれば、半導体層内のベーサルプレーン転位の伝播が抑制されるので、順方向電圧劣化を防止することができる。すなわち順方向電圧劣化を表す順方向電圧差 ΔV_f を1.0V以下に抑えることができ、信頼性の高いバイポーラ素子を作成することができる。このような信頼性の高いバイポーラ素子を用いれば、損失が少なく長時間運転可能な信頼性の高いインバーター等の電力変換装置を実現することができる。

図面の簡単な説明

[0015] [図1]図1は本発明の第1実施例のpn(pin)ダイオードの断面図である。
[図2]図2は本発明の第1実施例のpinダイオードの通電開始時と1時間通電後の電流電圧特性を示す図である。
[図3]図3は本発明の第1実施例のpinダイオードと、比較するために作ったSi面基板を用いたpinダイオードとの、通電開始直後の劣化前と、1時間通電した後の劣化後の電流電圧特性を示す図である。
[図4]図4は本発明の第2実施例のnpnバイポーラトランジスタの断面図である。
[図5]図5は本発明の第3実施例のIGBTの断面図である。
[図6]図6は本発明のバイポーラ半導体素子の基板を構成する炭化珪素の結晶を示す斜視図である。
[図7]図7は従来のバイポーラ半導体素子の基板を構成する炭化珪素の結晶を示す斜視図である。

符号の説明

[0016]

- 1 (0001)シリコン面
- 2 (000-1)カーボン面
- 21 基板
- 22 バッファ層
- 23 ドリフト層
- 24 p型接合層
- 25 p+型コンタクト層
- 26 JTE

- 27 熱酸化膜
- 28 カソード電極
- 29 アノード電極
- 29a Ti層
- 29b Al層
- 50 npnバイポーラトランジスタ
- 51 基板
- 52 バッファ層
- 53 ドリフト層
- 54 p型成長層
- 55 n型成長層
- 56 ガードリング
- 57 ベースのコンタクト領域
- 58 酸化膜
- 59 コレクタ電極
- 60 IGBT
- 61 基板
- 62 バッファ層
- 63 ドリフト層
- 64 n型成長層
- 65 p型成長層
- 66 コンタクト領域
- 66a 孔
- 67 絶縁膜
- 68 ゲート電極
- 68a 孔
- 69 コレクタ端子
- 70 pin接合ダイオード

73 ベース電極

74 エミッタ電極

75 電極端子

76 電極端子

79 エミッタ電極

発明を実施するための最良の形態

[0017] 以下、本発明の最良の実施の形態について詳細に説明する。結晶の格子方位及び格子面についての説明において、格子方位及び格子面を当技術分野ではよく知られている以下の記号で表示する。すなわち、個別面は()、集合面は{}で表示し、その中にそれぞれの数字を入れて各面を表示する。また、負の指数については、結晶学上“-”(バー)を数字の上につけることになっているが、特許庁の使用しているソフトウェアでは数字の上にバーをつけることが不可能であるため、本明細書では、数字の前に負号を付けて表示することにする。

[0018] 順方向劣化現象を抑えるには、前記のように基板からドリフト層へのベーサルプレーン転位の伝播を抑制する必要がある。

SiCでドリフト層を形成する方法として、例えばマテリアルズ サイエンス アンド エンジニアリングR20(1997)第125-166頁[Materials Science and Engineering, R20(1997)125-166]で報告されているように、通常エピタキシャル成長法が用いられている。エピタキシャル成長法の成長モードには大きく分けて、ステップフロー成長と二次元核生成成長の二つのモードがある。

[0019] ステップフロー成長は結晶の成長軸に垂直な{0001}面に平行な方向の成長であり、{0001}面に平行な結晶の情報を引き継ぎやすい。二次元核生成成長は{0001}面に垂直な方向の成長であり、{0001}面と垂直な向きの結晶の情報を引き継ぎやすいが、結晶の成長では欠陥の発生源ともなる。

このため、通常のエピタキシャル成長では、良質なエピタキシャル膜を得るために、ある程度ステップフロー成長が進むように成長条件が設定される。

[0020] ベーサルプレーン転位は{0001}面に平行に存在する転位であり、転位はステップフロー成長と同じ向きで伝播する。したがって、ベーサルプレーン転位の伝播を抑え

るためには、二次元核生成が起きない程度にステップフロー成長を抑制する必要がある。

成長がステップフローとなるか二次元核生成となるかは、結晶の表面における過飽和度が大きく関係している。過飽和度がある値(臨界過飽和度)を超えると二次元核生成となり、その値以下なら、ステップフロー成長となる。従って、臨界過飽和度が大きい場合には、二次元核生成が起こりにくい。

[0021] 臨界過飽和度を大きくするためには、原料ガスの供給量を増やすなどして成長速度を上げたり、結晶のオフ角を小さくして結晶面に存在するステップ(階段)のテラス(平面部)の幅を広くする方法がとられる。

図6に示すSiCの結晶において、(000-1)カーボン面2は(0001)シリコン面1より表面エネルギーが1桁小さく、臨界過飽和度の値が1桁から2桁小さくなる。その結果、過飽和度が相対的にかなり小さくなる。

[0022] (000-1)カーボン面2では、単一のSi-C層を1分子層とする、1分子層の高さのステップ(図示省略)が比較的多いが、(0001)シリコン面1では、2あるいは4分子層の高さのステップが観測される。これは、(000-1)カーボン面2のテラスの幅が、(0001)シリコン面1のテラス幅の半分程度に狭くなることを示しており、このことから(000-1)カーボン面2の臨界過飽和度は(0001)シリコン面1の臨界過飽和度より小さくなる。

[0023] (000-1)カーボン面2の臨界過飽和度は、成長速度に大きく依存し、その依存度は、ステップのテラス幅に対する依存度よりも大きい。従って成長速度を速くする事により、相対的に(000-1)カーボン面2の臨界過飽和度を大きくできる。これにより二次元核生成成長を抑制しつつベーサルプレーン転位の伝播も抑制できるステップフロー成長を達成できる。

[0024] 本発明の実施の形態では、SiCバイポーラ半導体素子を構成するn型層及びp型層などの半導体層を、SiC結晶の(000-1)カーボン面2に対して所定のオフ角 θ を有する面2aに形成する。オフ角 θ は2度から10度の範囲で、半導体素子の種類に応じて最適な角度を決める。発明者等の実験によると、例えばpinダイオードではオフ角 θ を約8度にすると良い結果が得られた。またIGBTではオフ角 θ を3.5度にす

ると良い結果が得られた。また前記半導体層の成長速度を通常より速くする。成長速度は、薄膜の1時間h当たりの増加量が $10 \mu\text{m}/\text{h}$ 以上になるようにするのが望ましい。成膜条件によっては $3 \mu\text{m}/\text{h}$ 以上の成膜速度でも本発明の効果を得ることができる。成長速度を増加させるためには成膜処理中の材料ガスの供給量を大幅に増やす。

以下、本発明の好適な実施例を図1から図6を参照して説明する。

[0025] 《第1実施例》

図1は本発明のバイポーラ半導体素子の第1実施例であるpn(pin)接合ダイオードの断面図である。本実施例では、面方位が(000-1)カーボン面から8度のオフ角をもつn型(第1の導電型)の4H型SiCを用いた基板21の面(以下C面と呼ぶ)上に、以下に説明する半導体層を形成する。4H型の”H”は六方晶、”4”は原子積層が4層周期となる結晶構造を意味する。基板21のC面は、図6のSiC結晶の(000-1)カーボン面2から角度 θ (8度)のオフ角をもつ面2aである。各層の成膜速度は、膜厚の時間(h)当たりの増加速度が従来よりは高速である、 $15 \mu\text{m}/\text{h}$ である。そして、次に詳しく説明するように、n型(第1の導電型)4H-SiC及びp型(第2の導電型)4H-SiCを順次エピタキシャル成長させ、エピタキシャルpin接合ダイオード70を作製する。p型層とi層(絶縁層)の主たる接合面、およびi層とn型層の主たる接合面(図1で水平方向に広がる面)は、{0001}面となっている。

[0026] 前記本実施例のエピタキシャルpin接合ダイオード70と比較をするための、比較用pin接合ダイオードとして以下のものを作製した。すなわち図7に示す(0001)シリコン面1から8度のオフ角 θ をもつn型の4H型SiCを用いた基板の面1a(以下、Si面という)上に、膜厚の時間(h)当たりの増加速度が $5 \mu\text{m}/\text{h}$ の成長速度でn型4H-SiC及びp型4H-SiCを順次エピタキシャル成長させて比較用のpin接合ダイオードを作製する。 $5 \mu\text{m}/\text{h}$ の成膜速度はpinダイオードの製作工程では一般的な速度である。本実施例のpin接合ダイオードと比較用のpin接合ダイオードの接合部のサイズ及び形状は同じである。

[0027] n型の基板21は、改良レーリー法によって成長させたインゴットをオフ角 θ を8度にしてスライスし、鏡面研磨することによって作製した。ホール効果測定法によって求め

た基板21のキャリヤ密度は $8 \times 10^{18} \text{ cm}^{-3}$ 、厚さは $400 \mu \text{m}$ である。カソードとなる基板21の上に、CVD法によって窒素ドープn型SiC層(n型成長層)とアルミニウムドープp型SiC層(p型成長層)を順次エピタキシャル成長で形成する。n型成長層により、図1に示すn型のバッファ層22とn型のドリフト層23を形成する。バッファ層22はドナー密度 $7 \times 10^{17} \text{ cm}^{-3}$ 、膜厚は $10 \mu \text{m}$ である。バッファ層22は必ずしも必要ではなくこれを形成しない場合もある。ドリフト層23はドナー密度約 $5 \times 10^{15} \text{ cm}^{-3}$ 、膜厚は $40 \mu \text{m}$ である。ドリフト層23の上に、p型成長層により、アノードとなるp型接合層24とp+型コンタクト層25を順次形成する。p型接合層24はアクセプタ密度 $5 \times 10^{17} \text{ cm}^{-3}$ 、膜厚は $1.5 \mu \text{m}$ である。p+型コンタクト層25はアクセプタ密度約 $1 \times 10^{18} \text{ cm}^{-3}$ 、膜厚は $0.5 \mu \text{m}$ である。基板21のC面上に順次形成するバッファ層22、ドリフト層23、p型接合層24及びp+型コンタクト層25の処理条件は以下の通りである。

[0028] 本実施例のpin接合ダイオード70を作製するときの処理条件を以下に詳しく説明する。材料ガスとして、シラン(SiH_4)及びプロパン(C_3H_8)を用いる。ドーパントガスとして窒素(N_2)及びトリメチルアルミニウム($\text{Al}(\text{CH}_3)_3$)を用いる。またキャリアガスとして水素(H_2)を用いる。各ガスの流量は、sccm (standard cc per minute) 又は、slm (standard liter minute) で表す。圧力は、kPa (kilo pascal) で表す。以下の説明において、各ガスの名称の後に付したかっこ内の数値は流量を表す。基板21の温度は 155°C に保たれており、処理チャンバー内の圧力は 5.6 kPa に保たれている。

[0029] 基板21のC面にバッファ層22を形成する工程では、シラン(30sccm)、プロパン(12sccm)、窒素(30sccm)及び水素(10slm)を供給する。処理時間は40分である。ドリフト層23の形成工程では、シラン(30sccm)、プロパン(12sccm)、窒素(0.2sccm)及び水素(10slm)を供給する。処理時間は160分である。p型接合層24の形成工程では、シラン(30sccm)、プロパン(12sccm)、トリメチルアルミニウム(15sccm)及び水素(10slm)を供給する。処理時間は6分である。

[0030] p+型コンタクト層25の形成工程では、シラン(30sccm)、プロパン(12sccm)、トリメチルアルミニウム(30sccm)及び水素(10slm)を供給する。処理時間は2分である。

上記の処理により、本実施例のpin接合ダイオード用のSiCエピタキシャルウェーハ

ができる。

[0031] 次に比較用のpinダイオードを作製するときの処理条件を説明する。基板のSi面に形成する各層の構成は図1に示す本実施例の構成と実質的に同じであるので、同じ符号を用いて説明する。基板の温度は1550°Cに保たれており、処理チャンバー内の圧力は5.6kPaに保たれている。

基板のSi面にバッファ層22を形成する工程では、シラン(10sccm)、プロパン(3sccm)、窒素(10sccm)及び水素(10slm)を供給する。処理時間は120分である。

[0032] ドリフト層23を形成する工程では、シラン(10sccm)、プロパン(3sccm)、窒素(0.07sccm)及び水素(10slm)を供給する。処理時間は480分である。

p型接合層24の形成工程では、シラン(10sccm)、プロパン(3sccm)、トリメチルアルミニウム(5sccm)及び水素(10slm)を供給する。処理時間は18分である。

p+型コンタクト層25の形成工程では、シラン(10sccm)、プロパン(3sccm)、トリメチルアルミニウム(10sccm)及び水素(10slm)を供給する。処理時間は6分である。

上記の処理により、比較用のpin接合ダイオード用のSiCエピタキシャルウェーハができる。

[0033] 本実施例のpin接合ダイオード用のSiCエピタキシャルウェーハと、比較用のpin接合ダイオード用のSiCエピタキシャルウェーハのそれぞれの処理条件を比較すると、本実施のものの処理条件では、材料ガス及びドーパントガスの流量が、従来のものの処理条件におけるそれぞれの流量の3倍以上である。また、処理時間についても本実施例のものの各層の処理時間は、比較用のものの処理時間の3分の1以下である。以上のように、本実施例では処理時間を短くし、成膜速度を高くしている点に特徴がある。

本実施例のSiCエピタキシャルウェーハと、比較用のSiCエピタキシャルウェーハのそれぞれに以下に説明する加工を施すことにより図に示す本実施例のpin接合ダイオード70及び同様の構成を有する比較用pin接合ダイオードが出来上がる。

[0034] まず反応性イオンエッティング(RIE)によりSiCエピタキシャルウェーハの両端部を除去してメサ構造に加工する。RIEのエッティングガスにはCF₄(4フロロ化炭素)とO₂を用い、プラズマ処理装置により、圧力5Pa、高周波電力260Wの条件で深さ約2.5μm

までエッチングした。このときのマスク材料として、CVDによって堆積したSiO₂膜(厚さ10 μm)を用いた。

[0035] 次に、エッチングにより形成したメサ底部での電界集中を緩和するために、メサ底部に幅250 μm、深さ0.7 μmのp型JTE(ジャンクション ターミネーション エクステンション)26を設けた。JTE26はAlイオン注入により形成した。Alイオン注入のエネルギーは30～450keVの間で6段階に変え、トータルドーズ量は1.2×10¹³cm⁻²である。JTE26形成時には、JTE26の注入層がボックスプロファイルとなるよう設計した。イオン注入は全て室温で行い、イオン注入のマスクには、グラファイト(厚さ5 μm)を用いた。注入イオンの活性化のための熱処理をアルゴンガス雰囲気中で1700°C、3分の条件で行った。アニールの後、温度1200°C、3時間のウェット酸化により保護膜としての熱酸化膜27を形成した。熱酸化膜27の上にポリイミド樹脂の保護フィルム30を形成して完成する。

[0036] 次に、基板21の下面にNi(厚さ350nm)を形成しカソード電極28とする。p+型コンタクト層25上に、Ti(チタン:厚さ350nm)とAl(アルミニウム:厚さ100nm)の膜をそれぞれ蒸着し、アノード電極29とする。アノード電極29は、Ti層29aとAl層29bから構成されている。最後に1000°Cで20分間の熱処理を行って、カソード電極28及びアノード電極29をそれぞれオーム接合電極にする。pn接合のサイズは直径が2.6mm φでありほぼ円形である。なお、この実施例ではアルミニウムイオン注入によってp型JTE26を形成したが、ボロン(B)のイオン注入を用いた場合でも同様の効果がある。また、pin接合ダイオード70においては、バッファ層22、ドリフト層23、p型接合層24及びp+コンタクト層25のそれぞれの接合面(図中水平方向に広がる面)は、すべて(000-1)カーボン面2から8度のオフ角をもつ面2a(図6)に平行になっている。

[0037] 本実施例のpin接合ダイオード70の耐電圧は3500Vであり、オン電圧は3.6Vである。上記のpin接合ダイオード70に順方向に電流密度100A/cm²で1時間通電し、通電開始直後と1時間通電後の室温での電流電圧特性をカープトレーサで測定した。

図2は、本実施例の、面方位が(000-1)カーボン面2から8度のオフ角θをもつn型の4H型SiC基板(C面)21の面2a上に形成したpin接合ダイオード70の室温での

順方向の電流電圧特性を示すグラフである。

順方向電流密度 $100\text{A}/\text{cm}^2$ での通電開始直後と1時間通電後の順方向電圧差 ΔV_f は、0.1V以下ではほとんど差がなかったので、図2のグラフでは電流電圧特性が1つの曲線で表されている。この結果からわかるように、本実施例のpin接合ダイオード70は1時間の通電後もほとんど劣化していなかった。

[0038] 図3は、本実施例のpin接合ダイオード70と比較するために作製した、同じサイズの比較用pin接合ダイオードを、本実施例のものと同じ条件で測定した電流電圧特性を示すグラフである。図3において、実線の曲線は、比較用pin接合ダイオードの使用開始直後(劣化前)の電流電圧特性を示す。点線の曲線は、1時間使用後(劣化後)の電流電圧特性を示す。図3からわかるように、順方向電流密度 $100\text{A}/\text{cm}^2$ (電流値は5.5A)での順方向電圧差 ΔV_f は16.0Vであった。前記通電試験を行ったダイオードを、当技術分野では欠陥を調べる手段として既知のフォトルミネッセンス発光を調べたところ、Si面を用いた比較用のpin接合ダイオードには積層欠陥を示す422nm発光が多数見られた。それに対し、本実施例のC面を用いたpin接合ダイオード70では、積層欠陥の発光は見られなかった。

[0039] 以上のように、本実施例のSiCのpin接合ダイオードでは順方向電圧劣化がほとんど生じないので、長時間の使用が可能となり寿命が長くなる。順方向の電圧劣化によるオン抵抗の増加がないので、内部損失も増加することがなく、安定した特性を長時間維持できる信頼性が高いpin接合ダイオードが得られる。

[0040] 《第2実施例》

図4は本発明のバイポーラ半導体素子の第2実施例である、npnバイポーラトランジスタ50の断面図である。本実施例でも、図6に示すように、面方位が(000-1)カーボン面2から8度のオフ角 θ の面2a(以下、C面という)をもつn型の4H型SiCの基板を用いる。この基板上に時間h当たりの膜厚の増加速度を $15\text{ }\mu\text{m}/\text{h}$ として、n型4H-SiC、p型4H-SiC、n型4H-SiCをこの順番で連続的にエピタキシャル成長させ、n-pnバイポーラトランジスタ50を作製した。

また比較用のnpnバイポーラトランジスタの基板として、図7に示す(0001)シリコン面1から8度のオフ角 θ の面1a(以下、Si面という)をもつn型の4H型SiCを用いた。

この基板上に、時間h当たりの膜厚の増加速度を $5 \mu\text{m}/\text{h}$ として各層を同様に成膜した。p層とn層の主たる接合面(図中水平方向に広がる面)は、{0001}面となっている。

[0041] 基板51は、改良レーリー法によって成長したインゴットをオフ角 θ が8度となるようにスライスし、鏡面研磨することによって作製した。コレクタとなる基板51はn型で、ホール効果測定法によって測定したキャリヤ密度は $8 \times 10^{18} \text{cm}^{-3}$ 、基板51の厚さは $400 \mu\text{m}$ である。このC面の上に、CVD法によって窒素ドープn型SiC層のバッファ層52とドリフト層53を成膜する。ドリフト層53の上にアルミドープp型SiCのp型成長層54、及び窒素ドープn型SiC層のn型成長層55を順番にエピタキシャル成長法で成膜した。バッファ層52とドリフト層53がn型コレクタ層になる。バッファ層52はドナー密度 $7 \times 10^{17} \text{cm}^{-3}$ 、膜厚は $10 \mu\text{m}$ である。ドリフト層53はドナー密度約 $5 \times 10^{15} \text{cm}^{-3}$ 、膜厚は $15 \mu\text{m}$ である。また、p型ベース層となるp型成長層54はアクセプタ密度 $2 \times 10^7 \text{cm}^{-3}$ 、膜厚は $1 \mu\text{m}$ である。n型成長層55はドナー密度約 $7 \times 10^{17} \text{cm}^{-3}$ 、膜厚は $0.75 \mu\text{m}$ である。バッファ層52、ドリフト層53、p型成長層54、n型成長層55の成膜条件は下記の通りである。

[0042] 本実施例のnpnバイポーラトランジスタ50を作製するときの処理条件を以下に詳しく説明する。材料ガスとして、シラン(SiH_4)及びプロパン(C_3H_8)を用いる。ドーパントガスとして窒素(N_2)及びトリメチルアルミニウム($\text{Al}(\text{CH}_3)_3$)を用いる。またキャリアガスとして水素(H_2)を用いる。各ガスの流量は、sccm (standard cc per minute)又は、slm (standard liter minute)で表す。圧力は、kPa (kilo pascal)で表す。以下の説明において、各ガスの名称の後に付したかっこ内の数値は流量を表す。基板51の温度は 1550°C に保たれており、処理チャンバー内の圧力は 5.6kPa に保たれている。

[0043] 基板51のC面にバッファ層52を形成する工程では、シラン(30sccm)、プロパン(12sccm)、窒素(30sccm)及び水素(10slm)を供給する。処理時間は40分である。ドリフト層53の形成工程では、シラン(30sccm)、プロパン(12sccm)、窒素(0.2sccm)及び水素(10slm)を供給する。処理時間は60分である。p型接合層54の形成工程では、シラン(30sccm)、プロパン(12sccm)、トリメチルアルミニウム(6sccm)及び水素(10slm)を供給する。処理時間は4分である。

[0044] n型成長層55の形成工程では、シラン(30sccm)、プロパン(12sccm)、窒素(30sccm)及び水素(10slm)を供給する。処理時間は3分である。

上記の処理により、本実施例のpin接合ダイオード用のSiCエピタキシャルウェーハができる。

[0045] 次に比較用のnpnバイポーラトランジスタを作製するときの処理条件を説明する。基板のSi面に形成する各層の構成は図4に示す本実施例の構成と実質的に同じであるので、同じ符号を用いて説明する。基板の温度は1550°Cに保たれており、処理チャンバー内の圧力は5. 6kPaに保たれている。

基板のSi面にバッファ層52を形成する工程では、シラン(10sccm)、プロパン(3sccm)、窒素(10sccm)及び水素(10slm)を供給する。処理時間は120分である。

[0046] ドリフト層53を形成する工程では、シラン(10sccm)、プロパン(3sccm)、窒素(0.07sccm)及び水素(10slm)を供給する。処理時間は180分である。

p型成長層54の形成工程では、シラン(10sccm)、プロパン(3sccm)、トリメチルアルミニウム(2sccm)及び水素(10slm)を供給する。処理時間は12分である。

n型成長層55の形成工程では、シラン(10sccm)、プロパン(3sccm)、窒素(10sccm)及び水素(10slm)を供給する。処理時間は9分である。

上記の処理により、比較用のSiCエピタキシャルウェーハができる。本実施例のSiCエピタキシャルウェーハと、比較用のSiCエピタキシャルウェーハのそれぞれに以下に説明する加工を施すことにより図4に示す本実施例のnpnバイポーラトランジスタ50及び同様の構成を有する比較用npnバイポーラトランジスタが出来上がる。

[0047] まず、反応性イオンエッティング(RIE)によりn型成長層55を幅10 μ m、深さ0. 75 μ m、ピッチ23 μ mでエッティングし、エミッタとなるn型成長層55を残す。RIEのエッティングガスにはCF₄とO₂を用い、圧力は0. 05Torr、高周波電力260Wの条件でエッティングした。このときのマスク材料として、CVDによって堆積したSiO₂膜(厚さ10 μ m)を用いた。

次に、ベース領域において素子分離を行うために、反応性イオンエッティング(RIE)によりメサ構造にする。RIEのエッティングガスにはCF₄とO₂を用い、圧力は0. 05Torr、高周波電力260Wの条件で深さ約1 μ mまでエッティングした。このときのマスク材

料として、CVDによって堆積したSiO₂膜(厚さ10 μm)を用いた。

[0048] 本実施例では、ベース端部での電界集中を緩和するためのガードリング56と、ベースのコンタクト領域57を同一プロセスのAl(アルミニウム)イオン注入によって形成した。ベースのコンタクト領域57は幅3 μmでエミッタとの間隔は5 μmであり、p型ガードリング56の幅は150 μmである。深さは共に0.5 μmである。p型ガードリング56、あるいはベースのコンタクト領域57形成時のAlイオン注入のエネルギーは40～560keVであり、トータルドーズ量は1.0×10¹³cm⁻²である。イオン注入のマスクには、CVDにより形成したSiO₂膜(厚さ5 μm)を用いた。イオン注入はすべて室温で行い、注入イオン活性化のための熱処理は、温度1600°Cのアルゴンガス雰囲気中で時間5分の条件で行った。アニールの後、温度1150°Cで2時間のウェット酸化によって熱酸化膜を形成し、さらにCVDによってSiO₂膜を堆積させ、合計2 μmの酸化膜58を形成した。

[0049] 次に、基板51の下面にコレクタ電極59を形成する。ベースのコンタクト領域57にベース電極73を形成する。また、n型成長層55にNiを蒸着してエミッタ電極74を形成する。次に1000°C、20分間の熱処理を行ってそれぞれオーミック接合を形成した。最後にベース電極73及びエミッタ電極74をTi/Au電極で覆ってそれぞれ電極端子75及び76を形成した。接合部の大きさは3.2mm×3.2mmである。なお、この実施例ではAlイオン注入によってガードリング56を形成したが、B(硼素)イオン注入を用いた場合でも同様の効果がある。また、npnバイポーラトランジスタ50においては、基板51、バッファ層52、ドリフト層53、p型成長層54及びn型成長層55のそれぞれの接合面(図中水平方向に広がる面)は、すべて(000-1)カーボン面2から8度のオフ角をもつ面2aに平行になっている。

[0050] 作製したnpnバイポーラトランジスタ50の耐圧は1400Vであった。オン抵抗は8.0mΩcm²であり、最大電流増幅率は約12であった。このnpnバイポーラトランジスタ50にベース電流0.6A、コレクタ電流7A(コレクタ電流密度100A/cm²)を1時間通電し、通電前後の室温でのコレクタ特性をカーブトレーサで測定した。本実施例のnpnバイポーラトランジスタ50では、通電開始直後と1時間通電後ともオン抵抗は8.0mΩcm²であり、順方向電圧の変化はほとんどなかった。

[0051] 比較例のnpnバイポーラトランジスタについても同様に、コレクタ電流密度100A/cm²で通電して試験した。比較用のnpnバイポーラトランジスタの室温でのオン抵抗は、通電開始直後では8.0mΩcm²であったのが、1時間の通電後は15.0mΩcm²と非常に大きくなつた。また、比較例のnpnバイポーラトランジスタの室温での最大電流増幅率は、通電初期は約12であったものが、1時間通電後は約6と小さくなつてしまつた。

[0052] これに対し、本実施例のnpnバイポーラトランジスタの最大電流増幅率は通電開始直後と1時間通電後とでほとんど変化がなく約12であった。以上のように本実施例のnpnバイポーラトランジスタ50は1時間の通電試験後でもほとんど順方向電圧劣化は生じていなかつた。

[0053] 《第3実施例》

第3実施例は、本発明のバイポーラ半導体素子のIGBT(インシュレーテッド・ゲート・バイポーラトランジスタ)に関するものである。図5は本実施例のIGBT60の断面図である。本実施例では、面方位が図6における(000-1)カーボン面2から3.5度のオフ角θの面2aを有するn型の6H型SiCを用いた基板61(以下C面基板と呼ぶ)を用意する。基板61の上に、膜厚の時間(h)当たりの増加速度が15μm/hで、3つの層の、p型6H-SiC層、n型6H-SiC層、p型6H-SiC層をこの順序でエピタキシャル成長させ、以下に詳しく説明するようにIGBT60を作製した。p層とn層の主たる接合面(図中水平方向に広がる面)は、{0001}面となっている。

[0054] 本実施例のIGBTと比較するための比較用IGBTを以下のように作製する。面方位が図7における(0001)シリコン面1から3.5度のオフ角θの面1aをもつn型の6H型SiCを用いた基板(以下、Si面基板と呼ぶ)を用意する。この基板上に、5μm/hの成膜速度で、p型6H-SiC層、n型6H-SiC層、及びp型6H-SiC層を順次形成する。

[0055] 基板61は、改良レーリー法によって成長したインゴットを(000-1)カーボン面から3.5度傾いた面でスライスし、鏡面研磨することによって作製した。カソードとなる基板61はn型で、厚さは400μm、ホール効果測定法によって求めたキャリヤ密度は5×10¹⁸cm⁻³である。この上に、CVD法によって、アルミニウムドープp型SiC層、窒素

ドープn型SiC層、アルミニウムドープp型SiC層の3層を連続的にエピタキシャル成長で形成した。p型SiC層は図5のバッファ層62とドリフト層63となる。バッファ層62はアクセプタ密度 $1 \times 10^{17} \text{ cm}^{-3}$ 、膜厚は $3 \mu \text{m}$ である。ドリフト層63はアクセプタ密度約 $5 \times 10^{15} \text{ cm}^{-3}$ 、膜厚は $15 \mu \text{m}$ である。また、ドリフト層63の上に形成されるn型成長層64はドナー密度 $2 \times 10^{17} \text{ cm}^{-3}$ 、膜厚は $2 \mu \text{m}$ である。n型成長層64の上に形成されるp型成長層65はアクセプタ密度約 $1 \times 10^{18} \text{ cm}^{-3}$ 、膜厚は $0.75 \mu \text{m}$ である。バッファ層62、ドリフト層63、n型成長層64、及びp型成長層65の成膜条件は下記の通りである。

[0056] 本実施例のIGBTを作製するときの処理条件を以下に詳しく説明する。材料ガスとして、シラン(SiH_4)及びプロパン(C_3H_8)を用いる。ドーパントガスとして窒素(N_2)及びトリメチルアルミニウム{ $\text{Al}(\text{CH}_3)_3$ }を用いる。またキャリアガスとして水素(H_2)を用いる。各ガスの流量は、sccm (standard cc per minute)又は、slm (standard liter minute)で表す。圧力は、kPa (kilo pascal)で表す。以下の説明において、各ガスの名称の後に付したかっこ内の数値は流量を表す。基板61の温度は 1550°C に保たれており、処理チャンバー内の圧力は 5.6 kPa に保たれている。

[0057] 基板61のC面にバッファ層62を形成する工程では、シラン(30sccm)、プロパン(12sccm)、トリメチルアルミニウム(3sccm)及び水素(10slm)を供給する。処理時間は12分である。

ドリフト層63の形成工程では、シラン(30sccm)、プロパン(12sccm)、トリメチルアルミニウム(0.15sccm)及び水素(10slm)を供給する。処理時間は60分である。

n型成長層64の形成工程では、シラン(30sccm)、プロパン(12sccm)、窒素(9scm)及び水素(10slm)を供給する。処理時間は8分である。

[0058] p型成長層65の形成工程では、シラン(30sccm)、プロパン(12sccm)、トリメチルアルミニウム(30sccm)及び水素(10slm)を供給する。処理時間は3分である。

上記の処理により、本実施例のpin接合ダイオード用のSiCエピタキシャルウェーハができる。

[0059] 次に比較用のIGBTを作製するときの処理条件を説明する。基板のSi面に形成する各層の構成は図5に示す本実施例の構成と実質的に同じであるので、同じ符号を

用いて説明する。基板の温度は1550°Cに保たれており、処理チャンバー内の圧力は5.6kPaに保たれている。

基板のSi面にバッファ層62を形成する工程では、シラン(10sccm)、プロパン(3sccm)、トリメチルアルミニウム(1sccm)及び水素(10slm)を供給する。処理時間は36分である。

[0060] ドリフト層63を形成する工程では、シラン(10sccm)、プロパン(3sccm)、トリメチルアルミニウム(0.05sccm)及び水素(10slm)を供給する。処理時間は180分である。

n型成長層64の形成工程では、シラン(10sccm)、プロパン(3sccm)、窒素(3sccm)及び水素(10slm)を供給する。処理時間は24分である。

[0061] p型成長層65の形成工程では、シラン(10sccm)、プロパン(3sccm)、トリメチルアルミニウム(10sccm)及び水素(10slm)を供給する。処理時間は9分である。

上記の処理により、比較用のpin接合ダイオード用のSiCエピタキシャルウェーハができる。本実施例のSiCエピタキシャルウェーハと、比較用のSiCエピタキシャルウェーハのそれぞれに以下に説明する加工を施すことにより図に示す本実施例のIGBT及び同様の構成を有する比較用のIGBTが出来上がる。

[0062] このSiCエピタキシャルウェーハから図5に示す構造のIGBT60を作製する工程を以下に説明する。

まず、フォトリソグラフ法を用いて、p型成長層65の中央部をRIEでエッチングして孔66aを設ける。孔66aの底部のn型成長層64に窒素のイオンを注入することにより、コレクタとなるコンタクト領域66を形成する。

[0063] ゲート領域を形成するために、RIEによりp型成長層65とn型成長層64をエッチングして孔68a(図5では2つ)をあける。次に孔68aの壁面にMOS構造を形成するために、CVDにより SiO_2 膜を堆積させ絶縁膜67を形成する。

基板61のコレクタ領域にNiを蒸着しコレクタ端子69とする。またコンタクト領域66にエミッタ電極79を蒸着する。次に熱処理を行ってそれぞれオーム接合を形成する。さらに、絶縁膜67の上にMo電極を形成しゲート電極68とする。

[0064] 完成した本実施例のIGBTと、比較用のIGBTの耐電圧は900Vである。オン抵抗

は $11\text{m}\Omega\text{cm}^2$ であり、コレクタエミッタ間電圧は -14V である。両IGBTに -40V のゲート電圧を印加し、コレクタ電流 1.4A を1時間通電し、通電開始時と1時間通電後の室温でのコレクタ特性をカーブトレーサで測定した。本実施例のIGBTでは、通電直後と1時間通電後のコレクターエミッタ間電圧はともに -14V であり、ほとんど変化がなく、従ってほとんど劣化していないことが判った。Si面基板を用いた比較用IGBTでは、通電直後のコレクターエミッタ電圧は -14V だったのに対し、1時間通電後のコレクターエミッタ電圧は -29V と大きくなつた。

[0065] 劣化の状態を調べるために、通電後のIGBTのゲート電極68、エミッタ電極79を除去し、SiCのフォトルミネッセンス発光を調べた。通電後のSi面基板を用いたIGBTには、積層欠陥を示す発光が多数見られたが、C面基板を用いたIGBTでは、積層欠陥の発光は見られなかつた。

[0066] 以上、本発明のバイポーラ半導体素子を3つの実施例に基づき具体的に説明したが、本発明は上記各実施例に限定されるものではなく、SIAFET、SIJFET、サイリスタ、GTO、MCT(Mos Controlled Thyristor)、SiCGT(SiC Commutated Gate Thyristor)、EST(Emitter Switched Thyristor)、BRT(Base Resistance Controlled Thyristor)などの各種の4H-SiCバイポーラ半導体素子にも応用可能である。当然ながら、反対極性の素子(例えばnpnトランジスタに対するpnpトランジスタ)などの各種の4H-SiCバイポーラ素子にも変形応用可能であり、6H-SiCなどの多の結晶構造を用いたSiCバイポーラ素子に適用できるものである。

産業上の利用可能性

[0067] 本発明は、長時間使用しても経時変化が少ないSiCバイポーラ半導体素子に利用可能である。

請求の範囲

[1] 炭素(カーボン)と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の(000-1)カーボン面に対して所定のオフ角を有する面を形成した基板、及び

前記基板の前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1又は第2の導電型の炭化珪素の半導体により、所定の形成速度で形成した少なくとも1つのドリフト層、

を有するバイポーラ半導体素子。

[2] 炭素(カーボン)と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の(000-1)カーボン面に対して所定のオフ角を有する面を形成した基板、

前記基板の前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1の導電型の炭化珪素のエピタキシャル成長法により、所定の成膜速度で形成したドリフト層、及び

前記ドリフト層の上に形成した、第1又は第2の導電型の炭化珪素の半導体の少なくとも1つの層

を有するバイポーラ半導体素子。

[3] 炭素(カーボン)と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の(000-1)カーボン面に対して所定のオフ角を有する面を形成した、カソードとなる基板、

前記基板の前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1の導電型の炭化珪素のエピタキシャル成長法により、所定の成膜速度で形成したドリフト層、及び

前記ドリフト層の上に形成した、アノードとなる第2の導電型の炭化珪素の半導体層を有するバイポーラ半導体素子。

[4] 炭素(カーボン)と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の(000-1)カーボン面に対して所定のオフ角を有する面を形成した、コレクタとなる基板、

前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1の導電型の炭化珪素のエピタキシャル成長法により、所定の成膜速度で形成したドリフト層、前記ドリフト層の上に形成した第2の導電型のベース層、及び前記ベース層の一部分に形成した第1の導電型のエミッタ層を有するバイポーラ半導体素子。

[5] 炭素(カーボン)と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の(000-1)カーボン面に対して所定のオフ角を有する面を形成した、コレクタとなる基板、前記所定のオフ角を有する面を結晶の成長面として、前記成長面に炭化珪素のエピタキシャル成長法により、所定の成膜速度で形成した第2の導電型のドリフト層、前記ドリフト層の上に形成した第1の導電型の成長層、前記第1の導電型の成長層の上に形成した第2の導電型のエミッタ層、前記第2の導電型のエミッタ層に形成した貫通孔を経て、前記第1の導電型の成長層にイオン注入をして形成した、コンタクト領域、及び前記第1の導電型の成長層と前記第2の導電型のエミッタ層に絶縁膜を介して形成したゲート電極を有するバイポーラ半導体素子。

[6] 前記オフ角が2度以上10度以下であることを特徴とする請求項1から5のいずれかに記載のバイポーラ半導体素子。

[7] 前記ドリフト層となる炭化珪素のエピタキシャル成長による膜を、膜厚の時間h当たりの増加速度が $10 \mu\text{m}/\text{h}$ 以上である成膜速度で形成したことを特徴とする請求項2から5のいずれかに記載のバイポーラ半導体素子。

[8] 前記基板と前記ドリフト層との間にバッファ層を有することを特徴とする請求項1から5のいずれかに記載のバイポーラ半導体素子。

[9] 炭素(カーボン)と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶を、前記結晶の(000-1)カーボン面に対して所定の角度を有する面で切断して基板を形成する工程、前記基板の前記所定の角度を有する面を結晶の成長面として、前記成長面に第1

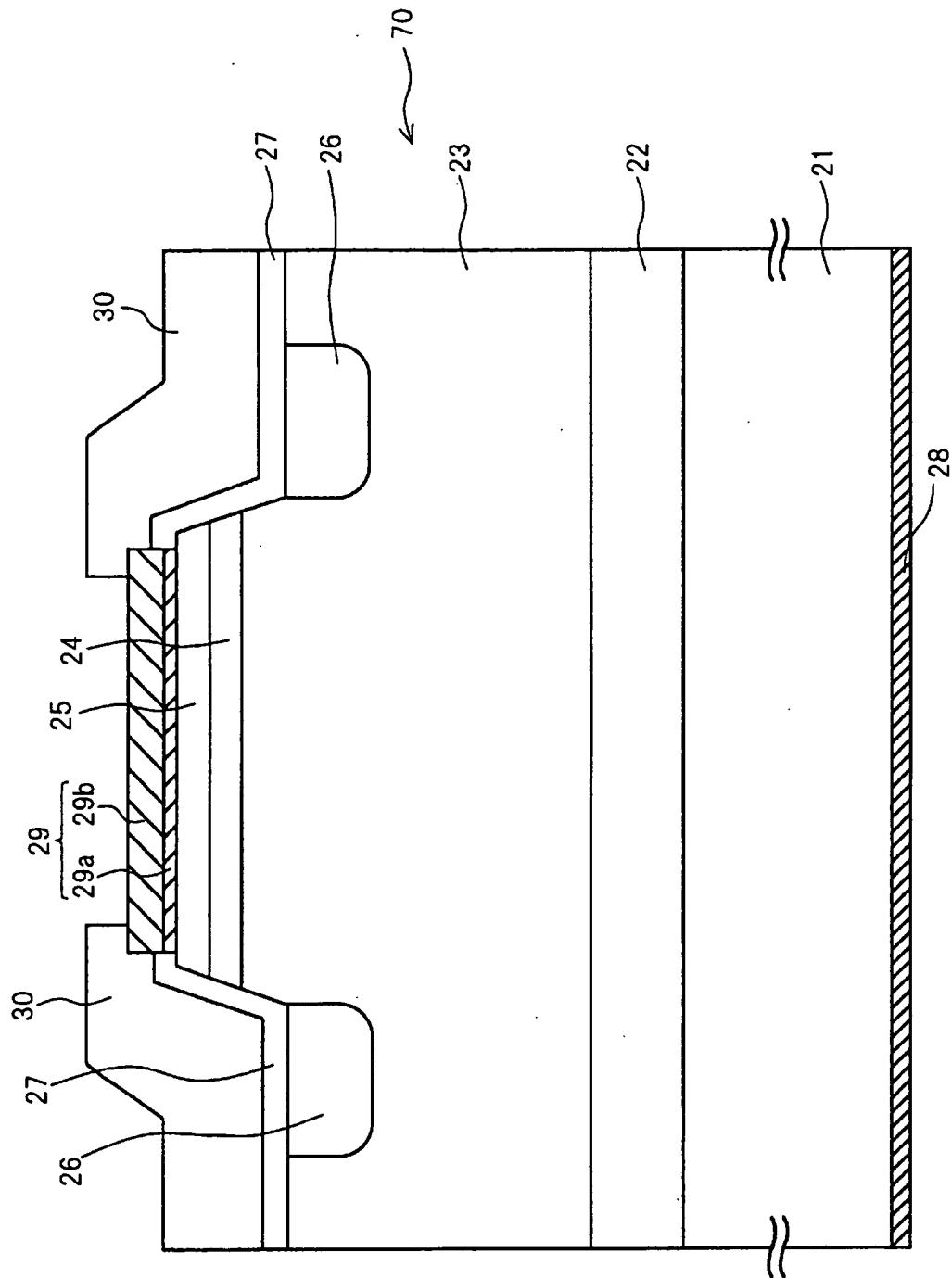
の導電型の炭化珪素のエピタキシャル成長法により、所定の成膜速度でドリフト層を形成する工程、及び

前記ドリフト層の上に、第1又は第2の導電型の炭化珪素の半導体の少なくとも1つの層を形成する工程、

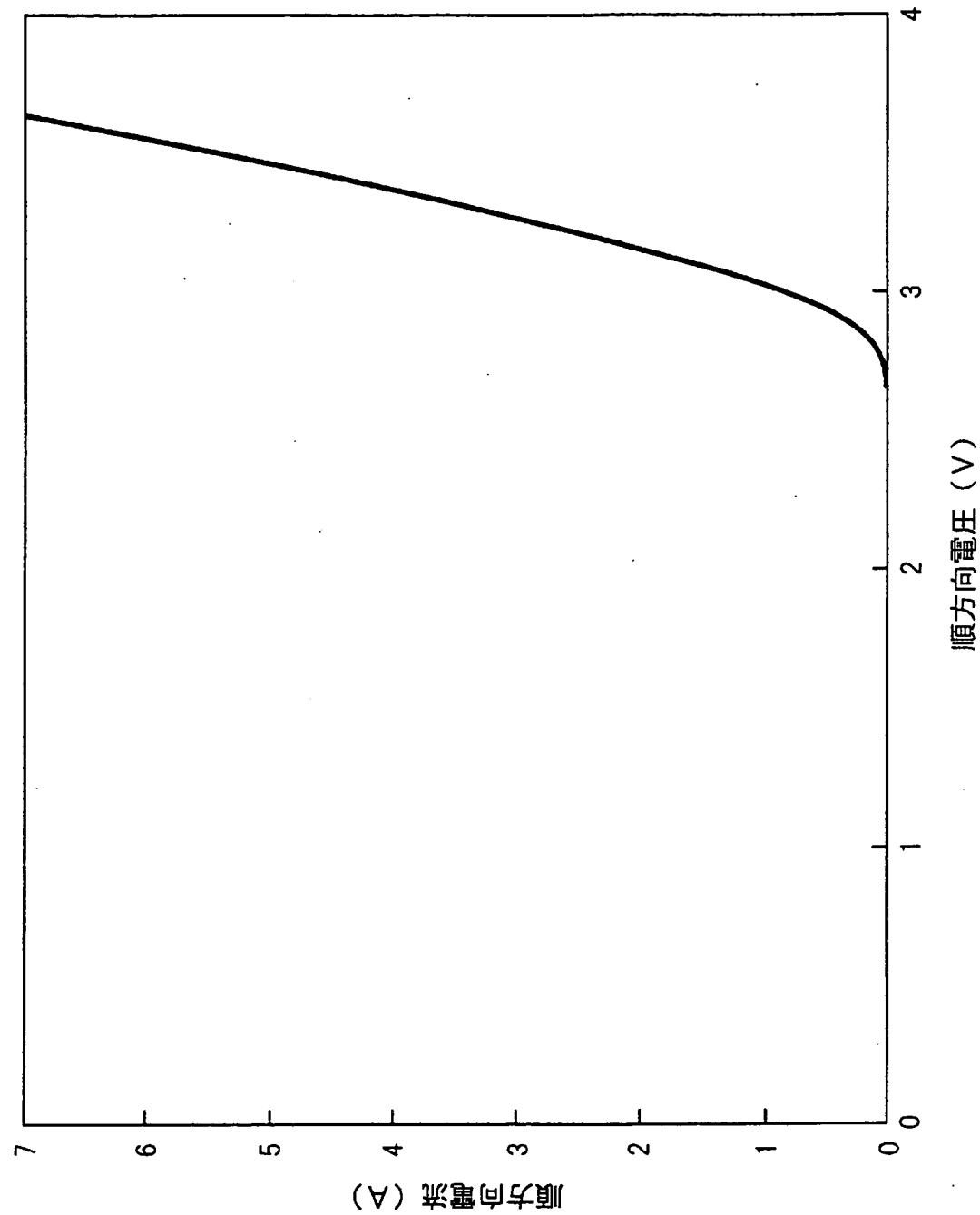
を有するバイポーラ半導体素子の製造方法。

- [10] 前記所定の角度が2度以上10度以下であることを特徴とする請求項9記載のバイポーラ半導体素子の製造方法。
- [11] 前記ドリフト層の成膜工程における膜厚の時間h当たりの増加速度が $10 \mu\text{m}/\text{h}$ 以上であることを特徴とする請求項9記載のバイポーラ半導体素子の製造方法。
- [12] 前記基板と前記ドリフト層との間にバッファ層を形成する工程を更に有する請求項9記載のバイポーラ半導体素子の製造方法。

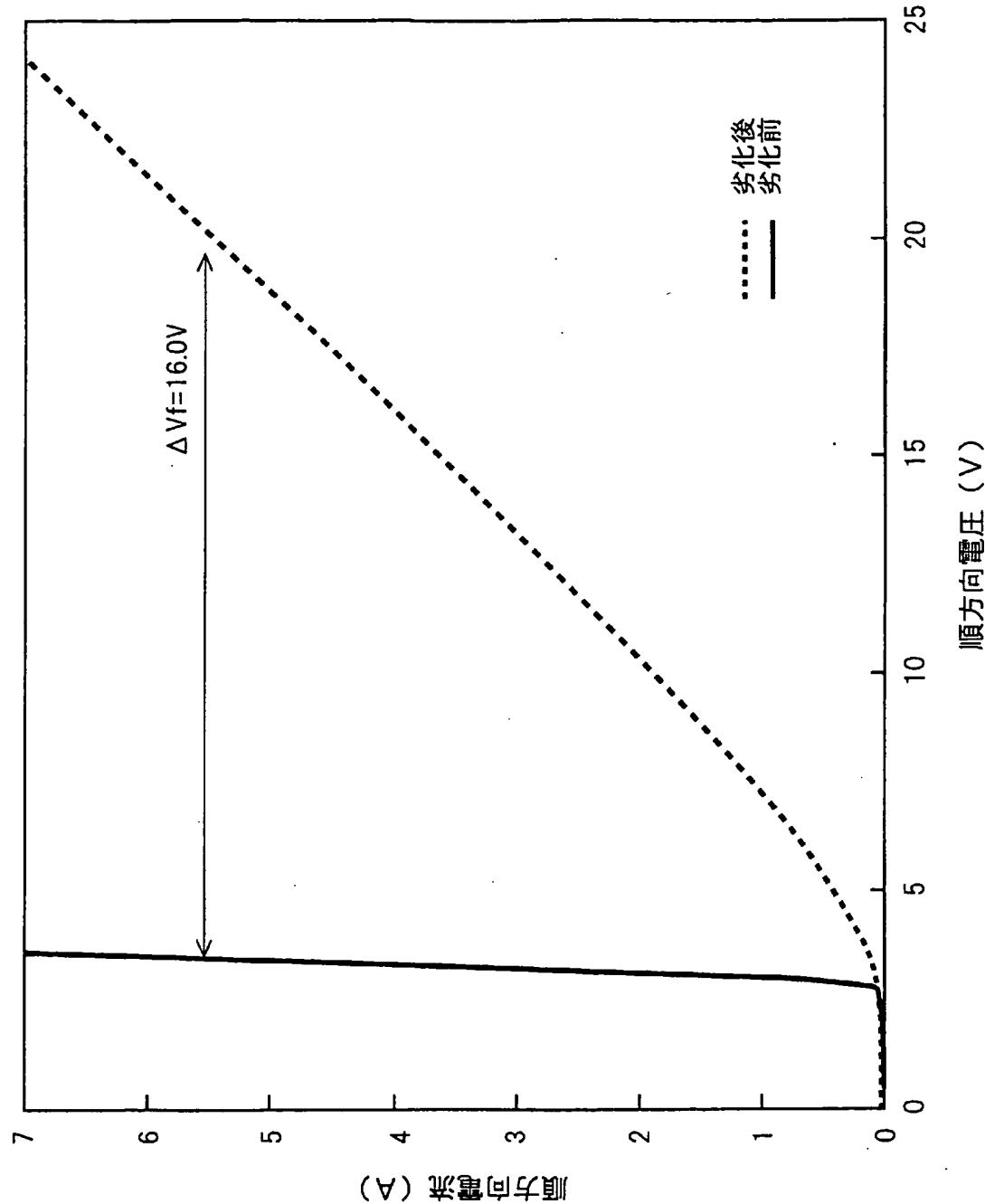
[図1]



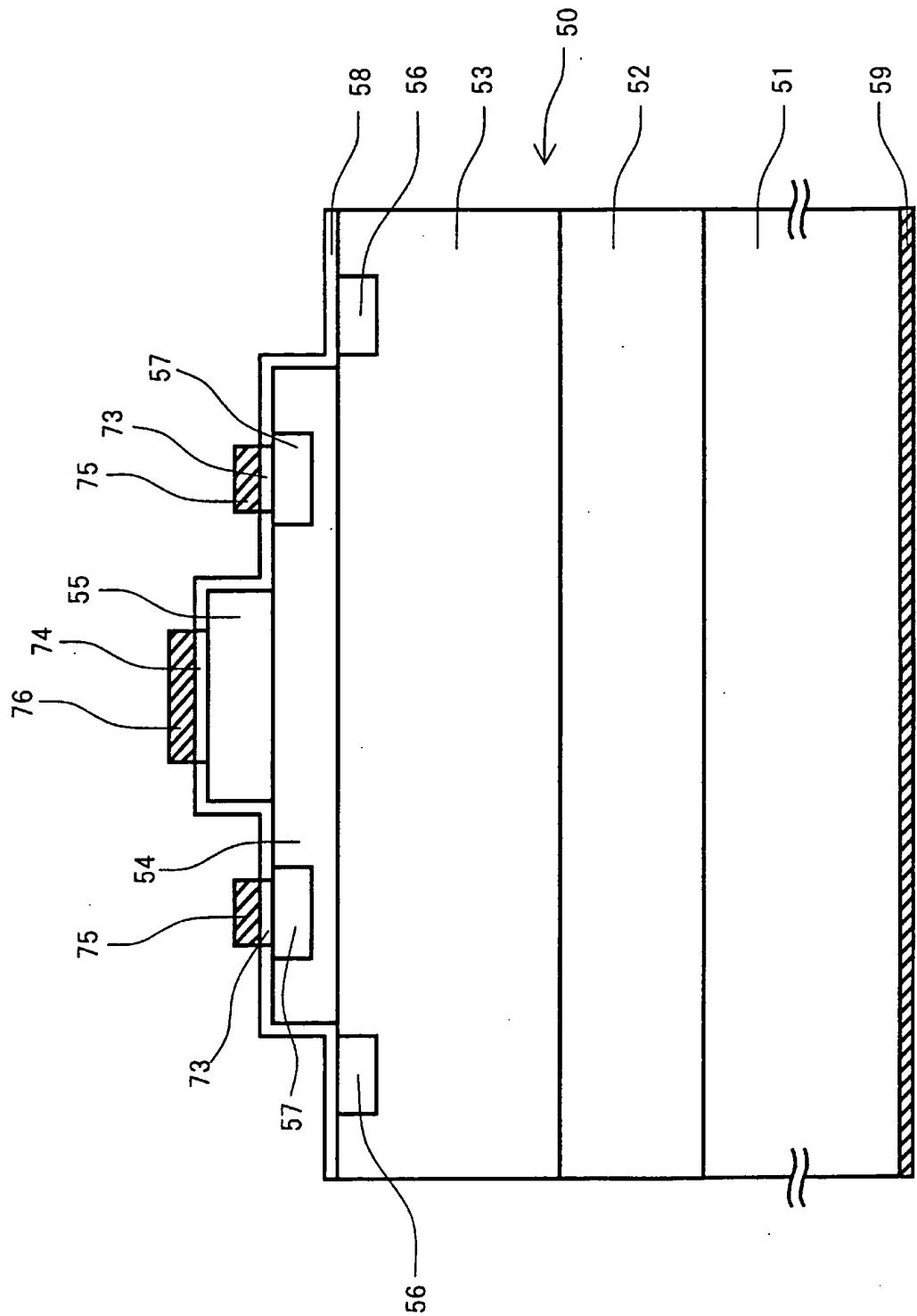
[図2]



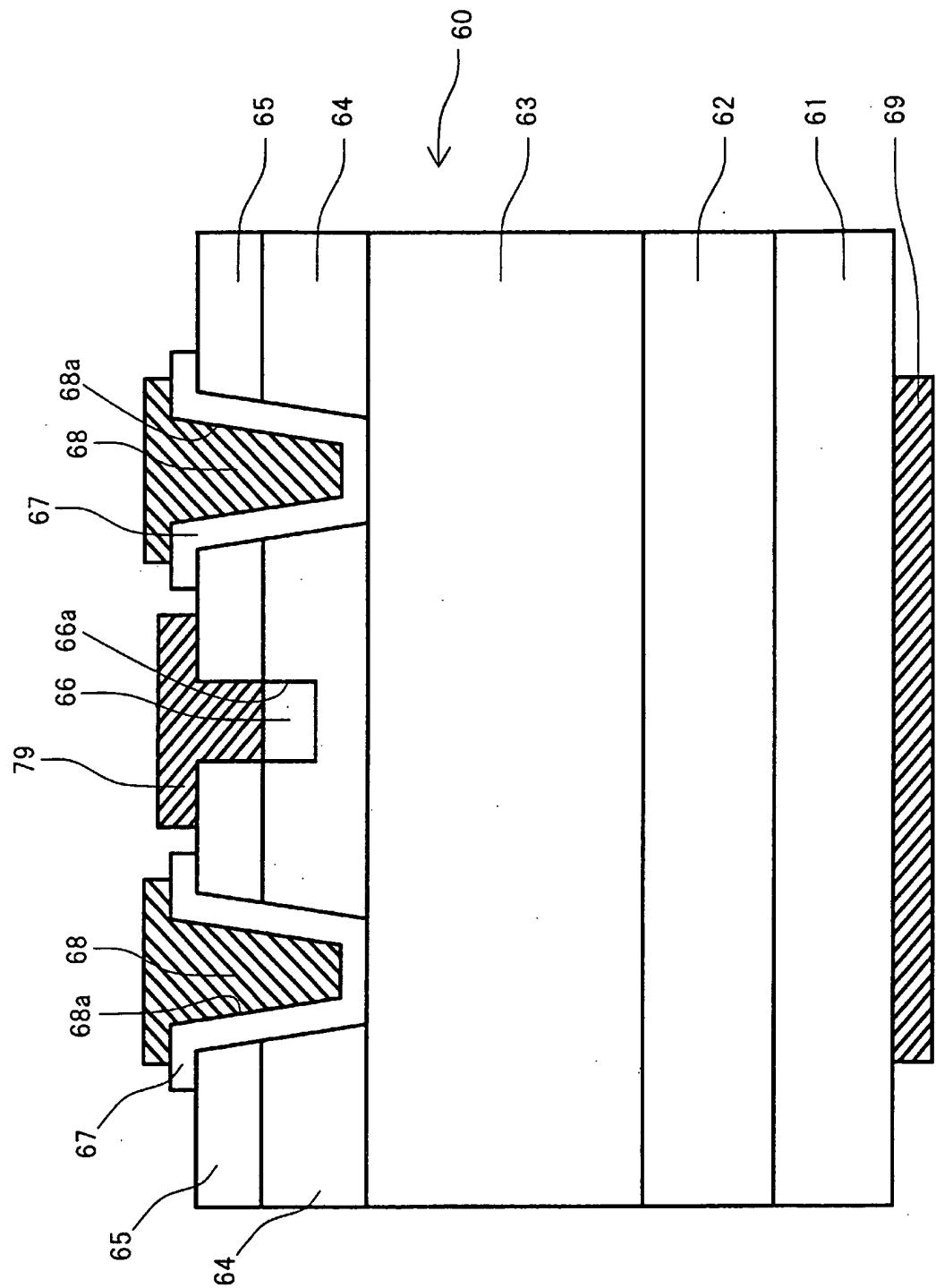
[図3]



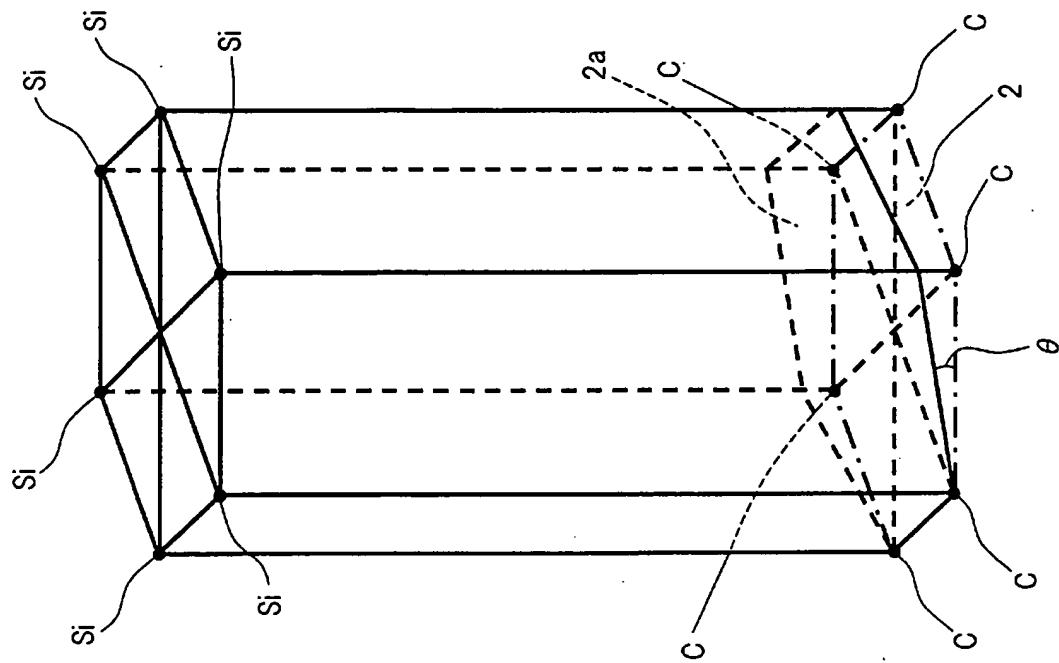
[図4]



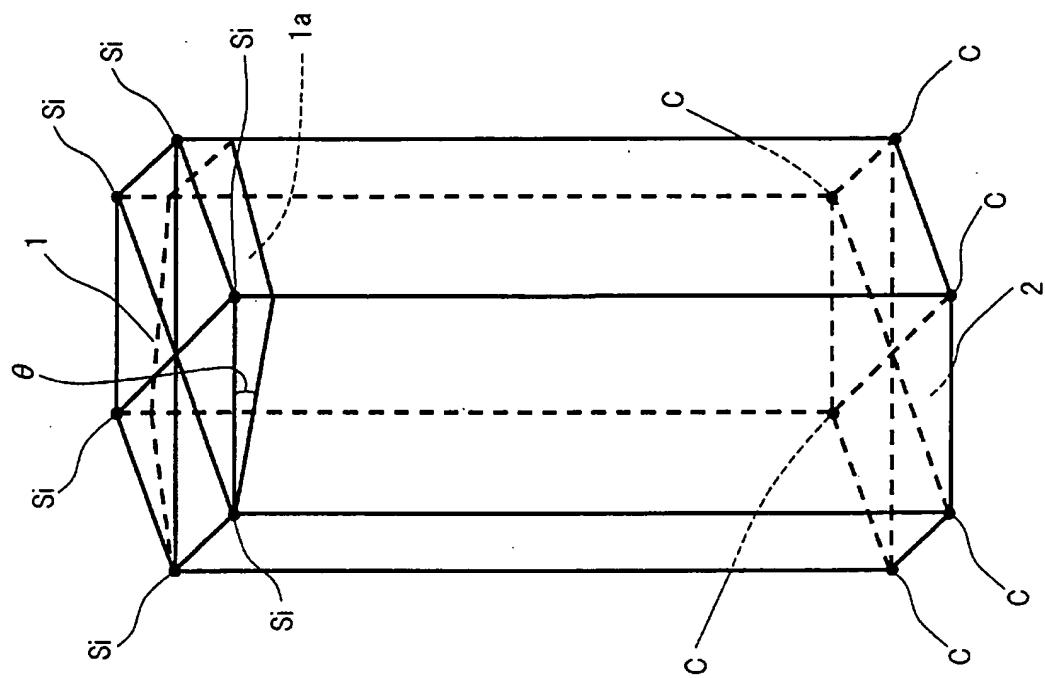
[図5]



[図6]



[図7]



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.